

FPGA 板级自动化仿真测试环境框架设计

高 虎, 郑 军, 田曾昊

(中国航空综合技术研究所 质量工程技术中心, 北京 100028)

摘 要: 针对当前 FPGA 测试过程中, 板级测试存在的实施代价高、测试充分性受限、测试可信度差等问题, 提出了一种自动的、实时的、非侵入性的闭环半实物仿真测试环境, 通过真实的物理接口测试技术、动态总线数据技术和外部对象仿真建模技术, 将目标 FPGA 运行环境映射至板级自动化仿真测试环境, 并对测试环境进行任务结构、物理结构的定义和划分, 围绕测试数据的产生消费过程设计测试环境的工作过程, 最后基于该框架开发了测试工具的基本原型, 并在测试项目中取得了较好的效果。

关键词: FPGA; 板级测试; 自动化测试; 仿真测试; 测试环境

中图分类号: TP311.11

文献标识码: A

文章编号: 1000-7180(2017)12-0094-05

Framework Design of Automatic Simulation Testing Environment for FPGA Board Level Test

GAO Hu, ZHENG Jun, TIAN Zeng-hao

(Department of Quality Engineering Technologies, China Aero-polytechnology Establishment, Beijing 100028, China)

Abstract: There are many problems in the current process of FPGA testing, such as high cost of implementation, limited sufficiency of testing, and poor reliability of result. An automatic, real-time, non intrusive and closed loop simulation test environment is presented. In the design of the environment, it maps the target FPGA environment to the board level simulation test environment through the physical interface technology, the dynamic data technology and the external device simulation technology. The framework of the environment, the task structure and physical structure for the test environment is defined, the working process based on the generation and consumption of test data is designed. Finally, a preliminary prototype based on the framework is designed, which achieves good results in a test project.

Key words: FPGA; board level test; automatic test; simulation test; test environment

1 引言

如何发现和排除 FPGA 设计错误, 从而提高 FPGA 质量, 为用户提供高质量的 FPGA 设计已成为电子领域的一个重要课题。测试作为保障 FPGA 质量的重要方法, 其作用在武器装备电子系统缺陷检测中日益突出。同软件测试技术类似, FPGA 测试技术也分为白盒测试和黑盒测试。FPGA 板级测试属于黑盒测试中最重要的测试方法, 是本文的研究重点。

FPGA 板级测试也称板级输入输出驱动测试, 是指将 FPGA 目标逻辑烧写入 FPGA 芯片后, 与周边交联的外部芯片和电路一起看成一个黑盒子, 在完全不考虑程序的内部结构和处理过程的情况下, 通过指定的接口进行测试用例输入, 查看被测系统输出的测试行为^[1]。板级测试只检查程序是否能按照需求规格说明规定的内容正确运行, 是否能适当地接收输入数据、产生正确的输出信息, 并且保持外部信息的完整性。

目前, 开展 FPGA 板级测试时, 一般将整个系

统(包括硬件平台和嵌入式软件)直接和与其交联的物理设备建立真实的连接,形成闭环进行测试.该方法采用实装交联对象,虽然真实有效、简单直接,但存在诸多弊端,主要表现为:(1)实施代价高;(2)充分性受限;(3)可信性差.为解决上述问题,需构建一个自动的、实时的、非侵入性的闭环仿真测试环境对 FPGA 进行板级测试.

2 FPGA 对测试环境的需求

2.1 FPGA 运行环境

FPGA 因其速度性能等方面优势,在武器装备系统中主要承担信号处理、通讯控制、数据运算、图像处理等工作内容^[2],其典型运行环境如图 1 所示,主要包括运行着被测 FPGA 设计的目标 FPGA 芯片、与目标芯片进行板上交联的外围电路、与目标芯片及外围电路进行板间交联的外部设备,以及连接上述目标芯片、外围电路、外部设备的接口.

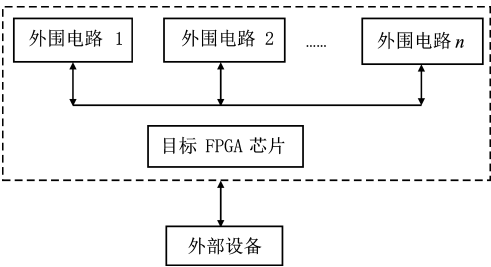


图 1 FPGA 典型运行环境

目标 FPGA 通过引脚与周边外围电路及外部设备进行信息的交互,这种交互行为以有规律的信号变化方式传输环境中各个基本成员所产生的数据信息,从而实现系统级的功能,因此可将 FPGA 运行环境归结为输入输出数据、接口控制协议、外部交联对象三个主体要素.

(1)输入输出数据:FPGA 通过数据的输入、处理、输出(IPO)过程完成 FPGA 基本功能,不同的输入数据直接影响 FPGA 内部的处理逻辑和运算过程,从而导致不同的输出数据.输入输出数据在传输过程中承载着具有特定系统功能的信息,这类信息往往具有值域、精度、边界、并发、实时性等要求,使得输入输出数据具有有效性、并发性、实时性、复杂性等特点.

(2)接口控制协议:FPGA 以三大总线(即地址总线、数据总线、控制总线)为基础完成信息的传输操作.信息在三大总线上传输时,必须严格按照通讯协议有序进行,既需满足微观上各外围交联对象的

建立时间、保持时间等电气层协议要求,传输位、校验位与传输速率等传输层协议要求,还要满足数据帧头、帧尾、长度、校验等应用层协议要求.

(3)外部交联对象:通常 FPGA 不是孤立存在于设备中,其周边往往存在多种外围专用芯片、CPU 及其他复杂外设,这类外围对象共同组成了 FPGA 的数据交互对象,其行为、功能、状态的变化均属于 FPGA 运行场景的变化,可直接影响 FPGA 的运行结果.

2.2 FPGA 板级测试环境需求

(1)输入输出数据需求:FPGA 板级测试过程是将测试用例的输入以数据激励形式施加给目标 FPGA,然后通过收集目标 FPGA 输出的数据信息,查看是否与测试用例的预期输出结果一致,验证 FPGA 功能或指标是否符合需求的过程.因此,输入输出数据在 FPGA 板级测试中是最基础的要素,是板级测试环境中的核心需求.针对 FPGA 运行数据的有效性、并发性、实时性、复杂性特点,FPGA 板级测试环境需满足如下要求:针对目标 FPGA 的输入数据,应能够进行数据有效与无效控制、有效并发和无效缺失设置、实时达标和时序滞后操作、复杂场景与简单操作同时执行;针对目标 FPGA 的输出数据,应能够完整采集 FPGA 的输出信息、映射 FPGA 需求功能.

(2)接口控制需求 FPGA 测试数据必须严格按照相关协议格式进行传输,这对板级测试环境提出了较为苛刻的接口控制要求.

①真实性要求:目标 FPGA 芯片与外围电路之间的板上通信、与外部设备间的板间通信均以三大总线为基础,板级测试需建立真实的三大总线,实现与目标 FPGA 的数据交互;系统级的外部总线接口也以真实的外部总线为基础进行数据传输.

②实时性要求:通过接口进行数据的输入输出需满足需求所约束的时间性能指标、时序约束要求,接口需支撑快速响应的实时性数据传输.

③并发性要求:FPGA 以并行方式运行,所有输入数据并发采集,所有输出数据并发产生,测试环境接口需支持数据信息的并发传输.

④复杂性要求:测试环境应支持对接口协议的测试,支撑标准和非标准的板上总线、板间总线及外部总线要求.

(3)外部交联对象需求 FPGA 目标芯片运行环境复杂,包含了外围电路和外围设备,测试环境应能够支撑这些外部交联对象的行为、功能、状态,通过

收缓冲区。

(3)仿真模型任务:仿真模型对于被测 FPGA 系统相联接的外部对象进行仿真,根据采集到的目标系统数据和仿真模型算法,实时计算每一个测试周期的外部对象数据。仿真模型任务在测试过程中既是数据的生产者,也是数据的消费者。

(4)测试用例解析任务:测试用例承载着直接的用户测试激励,贯穿于测试全过程,反映了测试策略。测试用例一般以直接的接口数据或测试脚本实现,需要经过解析才能为系统所理解,测试用例解析任务对平台系统下一步应进行哪些动作进行解析处理。

(5)任务调度任务:任务调度任务作为实时节点的任务指挥中心,根据测试用例解析后所指示的系统动作,调度相应的任务参与测试活动。同时任务调度任务作为代理,统一处理应用任务与系统任务、接口任务的交互,如申请资源,请求系统服务等。

(6)接口处理任务:接口处理任务通过多种不同接口完成实时节点与目标系统、其他节点等外部系统的接口交互;完成不同接口协议的配置、接口驱动程序管理等功能。

非实时节点上的任务包括以下几点。

(1)测试过程监控任务:接收实时节点指定的测试数据,并以某种形式反映给测试人员,方便其对指定的实时测试数据进行有效观察。

(2)测试结果记录任务:接收实时节点全部测试数据,按照指定格式存储于测试数据库中,方便测试完成后的数据分析。

(3)测试数据分析任务:根据测试结果记录任务所记录的测试数据,实现测试数据回放分析,统计与趋势辅助分析,以及定量质量评估分析。

(4)通信服务任务:维护非实时节点与实时节点之间的双向数据通路。

(5)测试环境配置任务:根据测试需求完成接口环境及协议配置。

(6)测试用例设计任务:组织测试激励数据,设计测试脚本。

(7)仿真模型生成任务:建立仿真模型,映射仿真模型与测试环境连接关系。

3.2.2 物理结构设计

对板级测试环境平台按照测试数据的传输过程进行物理结构设计,划分为如图 4 所示的物理层次结构。

在该结构设计中,将具有不同实时性要求的任

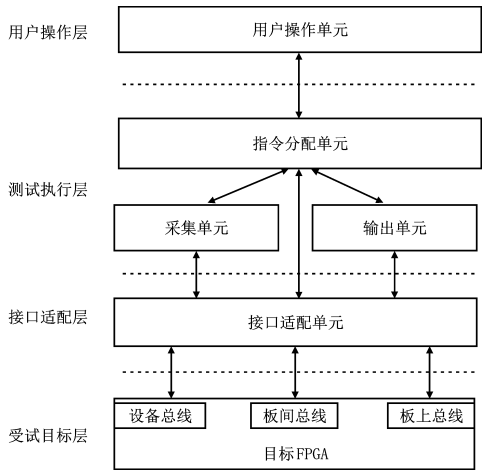


图 4 测试环境平台物理层次结构

务分别部署在实时物理节点和非实时物理节点上,在实时物理节点上运行测试执行层和接口适配层,在非实时节点上运行用户操作层,各物理层次的功能设计如下^[7]。

(1)用户操作层提供人机交互界面,实现 FPGA 测试执行过程控制、测试环境配置、测试用例准备、测试模型设计、测试监控设置等基本任务。通过用户操作单元,将测试执行控制命令以命令格式下发至测试执行层;将测试环境信息以配置格式下发至接口适配层;将测试用例、模型及实时监控数据以数据格式下发至测试执行层。

(2)测试执行层采用嵌入式实时操作系统,满足目标系统的实时性要求,实现测试用例及脚本的解析运行、交互式仿真模型的实时运行、测试数据的实时驱动、原始数据的实时采集。在该层次设计指令分配单元、采集单元和输出单元三个基本单元。通过指令分配单元接收用户操作层下发的测试控制命令,实现测试的启动、终止等过程控制;接收测试用例、模型及实时监控数据信息,分别进行结构化处理后配置到采集和输出单元,在测试开始后将数据发送至接口适配层。

(3)接口适配层作为测试环境平台与目标 FPGA 系统的桥梁,实现数量和种类上满足目标系统要求的接口,包括板上的内部总线接口、板间的总线接口、设备间的外部总线接口。其中板上总线和板间总线均通过接口适配层上的高性能 FPGA 芯片实现总线的控制,设备总线通过专用总线接口驱动实现通讯控制,该类总线包括 RS-232/422/485、CAN、ARINC429、MIL-STD-1553B、AFDX、模拟量、开关量等常用接口。接口适配层接收用户操作层下发的测试环境信息,并根据该配置信息对高性能 FPGA

芯片及设备总线接口进行配置,初始化与测试执行层之间的数据缓存区;并与采集单元和输出单元进行测试数据的传输。

3.2.3 工作过程设计

FPGA 板级测试环境平台具有分布式多任务的复杂特点,其工作过程与测试数据的生产消费过程相一致,测试环境平台的数据流构成如图 5 所示。

仿真测试环境的主要工作过程如下。

(1)依据目标 FPGA 及其所在系统的需求规格说明,进行测试环境配置,形成测试环境接口配置信息。

(2)依据接口信息,进行目标 FPGA 的外部对象仿真建模。

(3)对目标 FPGA 进行测试用例或测试脚本设计。

(4)配置测试过程的实时监控信息。

(5)通过通信服务启动测试执行层和接口层,对实时节点进行系统自检。

(6)通过通信服务进行测试初始化,将测试环境信息、仿真模型信息、测试用例脚本数据下载至实时节点,完成实时节点上的缓冲区初始化,实时测试任务初始化等。

(7)启动测试,实时节点按照预先准备的测试用例脚本数据和实时仿真模型数据驱动输出单元输出测试数据,并通过采集单元实时进行接口数据采集并反馈至用户操作层进行数据记录和实时显示。

(8)测试结束,当实时测试完成后,进行测试后处理工作,包括测试结果事后分析、比较,FPGA 质量评估等。

测试过程分为测试前,测试中,测试后三个阶段。三个阶段中测试平台进行的工作如图 6 所示。

4 工程应用

在上述测试环境框架设计基础上,开发设计了一套原型工具,即 FPGA 板级自动化仿真测试环境(Testing Environment for FPGA On-board Automatic Simulation Test, TEFAS)V1.0 系统.该系统采用 RTOS 作为测试执行层内核,支持毫秒级的测试任务调度,采用 V7 系列高性能 FPGA 进行采集单元和输出单元接口适配,满足常规 FPGA 接口信号的传输要求,支持模拟量、离散量、RS232\422\485、ARINC429 等总线接口以及用户自定义的板上、板间总线接口。图形化的用户操作层设计可以满足用户测试环境配置、仿真模型设计、测试用例与脚

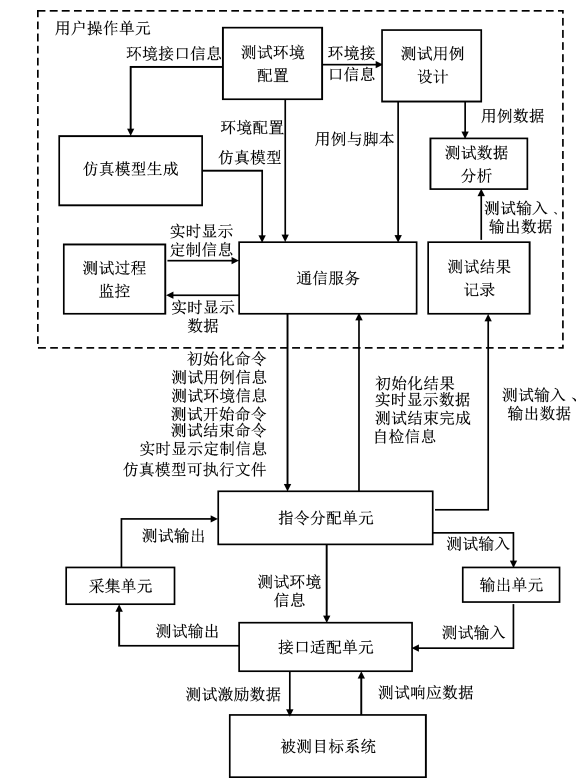


图 5 测试环境平台数据流

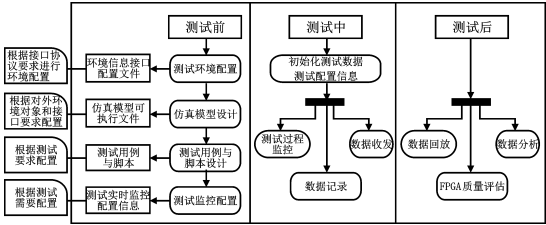


图 6 仿真测试环境工作流图

本设计及测试过程监控的操作要求。

将该工具在某型无线电高度表高度处理模块 FPGA 的板级测试项目中进行试验应用,通过仿真建模和测试脚本技术实现板级自动化仿真测试,与常规板级测试方法相比,其工作效率显著,发现 FPGA 问题较多,如表 1 所示。

表 1 测试方式结果比较

测试方式	执行 100 个测试用例耗时/天	发现程序问题处数	重要问题处数
常规板级测试	8	4	0
采用 TEFAS 系统	5	9	1

5 结束语

本文针对当前 FPGA 板级测试难点,分析了 FPGA 的运行环境和板级测试环境需求,提出了板

(下转第 106 页)

- [12] 周东浩, 韩文报. DiffRank: 一种新型社会网络信息传播检测算法[J]. 计算机学报, 2014, 37(4): 884-893.
- [13] 王永刚, 蔡飞志, Keong, 等. 一种社交网络虚假信息传播控制方法[J]. 计算机研究与发展, 2012, 55(增刊2): 131-137.
- [14] 张玥, 张宏莉, 张伟哲, 等. 识别网络论坛中有影响力用户[J]. 计算机研究与发展, 2013, 50(10): 2195-2205.
- [15] 韩毅, 许进, 方滨兴, 等. 社交网络的结构支撑理论[J]. 计算机学报, 2014, 37(4): 905-914.
- [16] 潘惠勇, 王鹏, 张慧乐. 基于 FCM 的复杂网络重叠社团结构发现算法[J]. 微电子学与计算机, 2011, 28(12): 111-114.
- [17] 肖宇, 许炜, 张晨, 等. 社交网络中用户区域影响力评估算法研究[J]. 微电子学与计算机, 2012, 29(7): 58-63.
- [18] 赵之滢, 于海, 朱志良, 等. 基于网络社团结构的节点传播影响力分析[J]. 计算机学报, 2014, 37(4): 753-766.
- [19] 丁朝云, 周滨家堰, 张璐敏. 微博中基于多关系网络的话题层次影响力分析[J]. 计算机研究与发展, 2013, 56(10): 2155-2175.
- [20] Ahn Y Y, Bagrow J P, Lehmann S. Link communities

reveal multiscale complexity in networks[J]. Nature, 2010, 466(7307): 761-764.

- [21] 朱牧, 孟帆蓉, 周勇. 基于链接密度聚类的重叠社区发现算法[J]. 计算机研究与发展, 2013, 56(12): 2520-2530.
- [22] Phan X H, Nguyen L M, Horiguchi S. Learning to classify short and sparse text & web with hidden topics from large-scale data collections[C]//Proceedings of the 17th international conference on World Wide Web. ACM, 2008: 91-100.
- [23] Amleshwaram A A, Reddy N, Yadav S, et al. CATS: Characterizing automation of Twitter spammers[C]//Communication Systems and Networks (COMSNETS), 2013 Fifth International Conference on. IEEE, 2013: 1-10.
- [24] Wang K, Xiao Y, Xiao Z. Detection of Internet water army in social network[C]//2014 International Conference on Computer, Communications and Information Technology (CCIT 2014). Atlantis Press, 2014.

作者简介:

杨锡慧 女, (1974-), 硕士, 高级工程师. 研究方向为计算机网络、网络监控与维护. E-mail: 15335179448@189.cn.

(上接第 98 页)

级自动化仿真测试环境框架, 设计了自动化仿真测试环境的任务结构和物理结构划分, 并进行了工作过程的设计, 最终研制开发了 TEFAS 工具平台原型, 在工程应用中取得了较好的测试效果.

参考文献:

- [1] 龙祖利, 王子云. FPGA 测试技术及 ATE 实现[J]. 计算机工程与应用, 2011, 47(6): 65-67.
- [2] 刘子宜, 刘畅, 郑军. 基于软件测试技术的 FPGA 测试研究[J]. 电子技术应用, 2011, 37(5): 28-30.
- [3] Lemon R, Coulter B, Archibald S, et al. Interface test adapter development & maintenance using a Continuity/Insulation Automatic Test Station in large scale test systems[C]//AUTOTESTCON, 2009 IEEE. IEEE, 2009: 107-112.
- [4] Justin J, Lindstrom L, Jain A. Using a plug-in model to simplify and enhance ATE test software capabilities

[C]//AUTOTESTCON, 2012 IEEE. IEEE, 2012: 105-107.

- [5] 李艳, 陈陵都, 陈亮. 面向 FPGA 芯片开发的测试方法设计与实现[J]. 微电子学与计算机, 2014, 31(10): 22-27.
- [6] 周珊, 王金波, 王晓丹. 基于时序路径的 FPGA 时序分析技术研究[J]. 微电子学与计算机, 2016, 33(1): 76-80.
- [7] 刘畅, 刘斌, 阮镰. 航空电子软件仿真测试环境软件体系结构研究[J]. 航空学报, 2006, 27(5): 877-882.

作者简介:

高虎 男, (1986-), 硕士, 工程师. 研究方向为 FPGA 软件测试、软件测试环境. E-mail: gaohu_2009@163.com.

郑军 男, (1969-), 硕士, 研究员. 研究方向为软件工程、FPGA 与软件测试.

田曾昊 男, (1990-), 工程师. 研究方向为 FPGA 软件测试.